

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-032837

(43)Date of publication of application : 02.02.1996

(51)Int.Cl.

H04N 5/202
H04N 9/69

(21)Application number : 06-168311

(71)Applicant : FUJITSU GENERAL LTD

(22)Date of filing : 20.07.1994

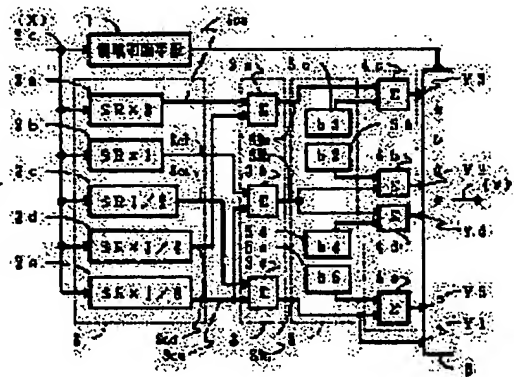
(72)Inventor : NAKANO TAKASHI
HASHIGUCHI KOTA

(54) GAMMA CORRECTION CIRCUIT

(57)Abstract:

PURPOSE: To provide a gamma correction circuit implementing gamma capacitor by linear approximation without the use of a ROM.

CONSTITUTION: The gamma correction circuit whose characteristic is divided into plural regions in which each region is approximated by a straight line to apply gamma correction to input data is provided with plural shift registers 2 shifting an inputted digital video signal, plural 1st adders 3 adding outputs of a prescribed shift register 2, plural registers 5 storing a border of plural regions, plural 2nd adders 4 adding the content of the register 5 and the output of the 1st adder 3, a judging means 1 comprising a decode circuit combining gate circuits judging to which region of plural regions the digital video signal is included, and a selector 6 selecting the output signal of the 1st adder 3 or the 2nd adder 4 based on the result of judgement of the judging means 1.



LEGAL STATUS

[Date of request for examination] 19.04.2001

[Date of sending the examiner's decision of rejection] 16.05.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the gamma correction circuit which divides a gamma property into two or more fields, approximates each field in a straight line, and performs the gamma correction of input data Two or more shift registers which shift the digital video signal to input, and two or more first adding machines adding the output of said predetermined shift register, Two or more registers which memorize the boundary value of two or more of said fields, this predetermined register, and two or more second adding machines adding the output of said first adding machine, The gamma correction circuit characterized by constituting from a decision means to judge whether said digital video signal is included to which field of two or more of said fields, and a selector which chooses and switches the output signal of said first adding machine and the second adding machine based on the decision result of said decision means.

[Claim 2] In the gamma correction circuit which divides a gamma property into two or more fields, approximates each field in a straight line, and performs the gamma correction of input data Two or more shift registers which shift the digital video signal to input, and a decision means to judge whether said digital video signal is included to which field of two or more of said fields, The selector section which carries out at least 1 selection output of the output of two or more of said shift registers based on the decision result of said decision means, The gamma correction circuit characterized by constituting from an adding machine adding the boundary value from a boundary value setting means to set up the boundary value of two or more of said fields based on the decision result of said decision means, and the output signal and boundary value setting means from said selector.

[Claim 3] In the gamma correction circuit which divides a gamma property into two or more fields, approximates each field in a straight line, and performs the gamma correction of input data Two or more shift-amount adjustable shift registers which shift the digital video signal to input, A decision means to judge whether said digital video signal is included to which field of two or more of said fields, A shift-amount setting means to set up the shift amount of two or more of said shift-amount adjustable shift registers based on the decision result of said decision means, The first adding machine adding the signal from said two or more shift-amount adjustable shift registers, The gamma correction circuit characterized by constituting from the second adding machine adding the boundary value from a boundary value setting means to set up the boundary value of two or more of said fields based on the decision result of said decision means, and the output signal and boundary value setting means from said first adding machine.

[Claim 4] In the gamma correction circuit which divides a gamma property into two or more fields, approximates each field in a straight line, and performs the gamma correction of input data The multiplication machine which carries out the multiplication of the predetermined scale factor to the digital video signal to input, and a decision means to judge whether said digital video signal is included to which field of two or more of said fields, A scale-factor setting means to set up the predetermined scale factor in which said multiplication machine carries out multiplication based on the decision result of said decision means, The gamma correction circuit characterized by constituting from an adding machine adding the boundary value from a boundary value setting means to set up the boundary value of two or more of said fields based on the decision result of said decision means, and the output signal and boundary value setting means from said multiplication machine.

[Claim 5] Said field decision means is claim 1 characterized by constituting from a decoding circuit which combined the gate circuit, claim 2, and a gamma correction circuit according to claim 3 or 4.

[Claim 6] Said boundary value setting means is claim 2 characterized by constituting from two or more registers, and a gamma correction circuit according to claim 3 or 4.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the amended circuit which carries out straight-line approximation with respect to a gamma (gamma) amendment circuit.

[0002]

[Description of the Prior Art] As a conventional gamma correction circuit, as shown in drawing 7, write as a table the gamma property in which the request carried out straight-line approximation in ROM10, inputted the digital video signal (chrominance signal) as the address, read the data corresponding to this address, it is made to output, and ROM10 was provided for every signal of R, G, and B if needed. However, in order to have written as a table many gamma properties in which the request carried out straight-line approximation in ROM10, storage capacity became large and high integration of about [that ROM becomes expensive], a gate array, etc. was difficult.

[0003]

[Problem(s) to be Solved by the Invention] This invention solves the trouble described above, and ROM is not used, but the gamma correction by straight-line approximation is performed, and it aims at high integration of gate-array-izing etc. offering an easy gamma correction circuit.

[0004]

[Means for Solving the Problem] In the gamma correction circuit which divides a gamma property into two or more fields, approximates each field in a straight line, and performs the gamma correction of input data in order that this invention may solve an above-mentioned technical problem Two or more shift registers which shift the digital video signal to input, and two or more first adding machines adding the output of said predetermined shift register, Two or more registers which memorize the boundary value of two or more of said fields, this predetermined register, and two or more second adding machines adding the output of said first adding machine, A decision means to constitute from a decoding circuit which combined the gate circuit which judges whether said digital video signal is included to which field of two or more of said fields, It constitutes from a selector which chooses and switches the output signal of said first adding machine and the second adding machine based on the decision result of said decision means.

[0005] Moreover, it sets in the gamma correction circuit which divides a gamma property into two or more fields, approximates each field in a straight line, and performs the gamma correction of input data. Two or more shift registers which shift the digital video signal to input, and a decision means to judge whether said digital video signal is included to which field of two or more of said fields, The selector section which carries out at least 1 selection output of the output of two or more of said shift registers based on the decision result of said decision means, It constitutes from an adding machine adding the boundary value from a boundary value setting means to constitute from two or more registers which set up the boundary value of two or more of said fields based on the decision result of said decision means, and the output signal and boundary value setting means from said selector.

[0006] Moreover, it sets in the gamma correction circuit which divides a gamma property into two or more fields, approximates each field in a straight line, and performs the gamma correction of input data. Two or more shift-amount adjustable shift registers which shift the digital video signal to input, A decision means to judge whether said digital video signal is included to which field of two or more of said fields, A shift-amount setting means to set up the shift amount of two or more of said shift-amount adjustable shift registers based on the decision result of said decision means, The first adding machine adding the signal from said two or more shift-amount adjustable shift registers, It constitutes from the second adding machine adding the boundary value from a boundary value setting means to set up the boundary value of two or more of said fields based on the decision result of said decision means, and the output signal and boundary value

setting means from said first adding machine.

[0007] Moreover, it sets in the gamma correction circuit which divides a gamma property into two or more fields, approximates each field in a straight line, and performs the gamma correction of input data. The multiplication machine which carries out the multiplication of the predetermined scale factor to the digital video signal to input, and a decision means to judge whether said digital video signal is included to which field of two or more of said fields, A scale-factor setting means to set up the predetermined scale factor in which said multiplication machine carries out multiplication based on the decision result of said decision means, It constitutes from an adding machine adding the boundary value from a boundary value setting means to set up the boundary value of two or more of said fields based on the decision result of said decision means, and the output signal and boundary value setting means from said multiplication machine.

[0008]

[Function] Since it constituted as mentioned above, it sets in the gamma correction circuit of this invention. Divide a gamma property into two or more fields, and it judges whether said digital video signal to input is included to which field of two or more of said fields. The value (aX) which carried out the multiplication of the inclination (a) of the straight line ($Y=aX+b$) corresponding to the field to said digital video signal (X) to input is computed, and it is outputting as a signal (Y) which added initial value (b) to the result as boundary value, and carried out the gamma correction to it.

[0009]

[Example] Hereafter, based on a drawing, the gamma correction circuit by this invention is explained to a detail. Drawing 1 , drawing 2 , drawing 3 , and drawing 4 are the important section block diagrams showing one example of the gamma correction circuit by this invention.

[0010] In drawing, it judges in which field of the field the area A of XA - whose level are five of E fields of XE 1 has the level of the digital video signal (chrominance signal) Sc which is a field decision means to constitute from a decoding circuit which combined the gate circuit, and is inputted. 2 is the shift register circuit of two or more 8 bit patterns. It shifts to shift register 2b and the 1-bit low order which are shift register 2a which shifts to a 1-bit high order and outputs the twice as many signal Sca as this, and shift 0, and output the signal Scb of actual size. It constitutes from shift register 2e which shifts to shift register 2d which shifts to shift register 2c which outputs the 1/2 twice as many signal Scc as this, and 2-bit low order, and outputs the 1/4 time as many signal Scd as this, and triplet low order, and outputs the 1/8 time as many signal Sce as this. 3 is the first adding machine and consists of adding-machine 3a adding Sca from said shift register 2a, and shift register 2d Scd, adding-machine 3b adding Scb and Sce, and adding-machine 3c adding Scc and Sce. The output of adding-machine 4b which 4 is the second adding machine and adds the output of said first adding-machine 3b, and the output of the below-mentioned register 5b, and first adding-machine 3a, It constitutes from adding-machine 4e adding the output of 4d of adding machines and adding-machine 3of ** first c adding the output of adding-machine 4c adding the output of the below-mentioned register 5c, and first adding-machine 3b, and a below-mentioned register 5d output, and the output of the below-mentioned register 5e. 6 is a selector and is carrying out the selection output of the output from said the first adding-machine 3c and second adding-machine 4b, adding-machine 4c, 4d of adding machines, and adding-machine 4e with the signal from said field decision means 1.

[0011] Moreover, in drawing 2 , the block of the same function as drawing 1 is made into the same notation, and 16 is a selector, and is choosing and outputting the combination of said shift register 2 based on the signal from said field decision means 1. 13 is the first adding machine and is adding the combination output of the shift register 2 which said selector 16 chooses. 15 is a boundary value setting means, and is choosing and outputting the register which memorizes the predetermined boundary value Sy with the signal from said field decision means 1. 14 is the second adding machine, adds the output of the first adding machine 13 to the boundary value Sy from said boundary value setting means 15, and is outputting it as a gamma correction output signal.

[0012] moreover, drawing 3 -- setting -- the block of the same function as drawing 1 and drawing 2 -- the same notation -- carrying out -- **** -- 12 -- the shift-amount adjustable shift register of 8 bit patterns -- it is -- first shift-amount adjustable shift register 12a and second shift-amount adjustable shift register 12b -- constituting -- the digital video signal of said 8 bit patterns -- a predetermined amount shift -- it is carrying out. 17 is a shift-amount setting means and has set up each shift amount of said shift-amount adjustable shift register 12 with the decision signal from said field decision means 1.

[0013] Moreover, in drawing 4 , the block of the same function as drawing 1 , drawing 2 , and drawing 3 is made into the same notation, and 22 is a multiplication machine and is carrying out the multiplication of the predetermined scale factor to said digital video signal to input. 27 is a scale-factor setting means and has set up the predetermined scale factor which carries out multiplication with said multiplication machine 22 with

the decision signal from said field decision means 1.

[0014] In the above configuration, the actuation is explained below. Drawing 3 is a gamma characteristic curve, divided the input video signal Sc of 256 gradation into $XA=0-51$, $XB=52-102$, $XC=103-153$, $XD=154-204$, and five fields of $XE=205-256$, and has obtained the straight-line approximation curve which set the output in the boundary point to boundary value 0, and b_2 , b_3 , b_4 and b_5 , and made sequential connection in a straight line than Zero O. For example The inclination a_1 of the straight line ($Y_1=a_1 XA$) in Field A 0.625, the straight line in Field B The inclination a_2 of ($Y_2=a_2 XB+b_2$) The inclination a_5 of a straight line [in / for the inclination a_4 of a straight line / in / for the inclination a_3 of the straight line ($Y_3=a_3 XC+b_3$) in 1.125 and Field C / 2.25 and Field D / ($Y_4=a_4 XD+b_4$) / 1.125 and Field E] ($Y_5=a_5 XE+b_5$) is set to 0.625. The boundary value at this time respectively It is assumed that it is $b_2=31$, $b_3=88$, $b_4=202$, and $b_5=259$. Now, supposing the level of the digital video signal Sc to input is $X=60$, level judges the field decision means 1 to be the field B of $XB=52-102$, and the selector 6 is carrying out the selection output of the output of second adding-machine 4b. That is, $b_2=31$ memorized to register 5b are added to output $S3b=67$ of first adding-machine 3b which added output $Sce=7$ of shift register 2e to output $Scb=60$ of shift register 2b by second adding-machine 4b, and $Y_2=a_2 \times XB+b_2=1.125 \times 60+31=67+31=98$ are outputted. Drawing 4 is drawing having shown the condition of the shift register in this example with the binary number of 8 bits. If the level of the digital video signal Sc inputted like this example shifts 60 (00111100B) to a 1-bit high order, it will be set to 120 (0111000B) twice as many as this, and it will be set to 30 (00011110B) 1/2 twice as many as this if it shifts to 1-bit low order conversely. 3 bit shifts of the case of this example were carried out to low order, and it has obtained 7 (00000111B).

[0015] Although actuation of the block diagram of drawing 1 was explained, the example same about the case of drawing 2 explains the above below. Now, supposing the level of the digital video signal Sc to input is 60, the field decision means 1 judges that level is the field B of $XB=52-102$, and is carrying out the selection output of output-signal $Sce=7$ of output-signal $Scb=60$ whose selector 16 is shift register 2d, and shift register 2e. Said selector 16 added $Scb=60$ which carry out a selection output, and $Sce=7$, outputted $S13=67$, and has inputted the first adding machine 13 into the second adding machine 14. On the other hand, the boundary value setting means 15 carried out the selection output of the register 15b which memorizes $b_2=31$ with the field B signal of the decision result of said field decision means 1, and has inputted it into the second adding machine 14. The second adding machine 14 adds $b_2=31$ of the $S13=67$ and the boundary value setting means 15 from said first adding machine, and is outputting $Y_2=67+31=98$.

[0016] Below, the example same about the case of drawing 3 explains. Now, supposing the level of the digital video signal Sc to input is 60, the field decision means 1 will judge that level is the field B of (52-102), and the shift-amount setting means 17 will have set the shift amount of 0 and shift-amount adjustable shift register 12b as 3 for the shift amount of shift-amount adjustable shift register 12a based on this decision signal field B. Therefore, from shift-amount adjustable shift register 12a of a shift amount 0, output-signal $Sc12b=7$ from shift-amount adjustable shift register 12b of a shift amount 3 are outputted for output-signal $Sc12a=60$. The first adding machine 13 added output-signal $Sc12b=7$ inputted from output-signal $Sc12a=60$ and shift-amount adjustable shift register 12b inputted from said shift-amount adjustable shift register 12a, and has inputted $S13=67$ into the second adding machine 14. On the other hand, the boundary value setting means 15 carried out the selection output of the register 15b which memorizes $b_2=31$ with the field B signal of the decision result of said field decision means 1, and has inputted it into the second adding machine 14. The second adding machine 14 adds $b_2=31$ of the $S13=67$ and the boundary value setting means 15 from said first adding machine, and is outputting $Y_2=67+31=98$.

[0017] Below, the example same about the case of drawing 4 explains. Now, supposing the level of the digital video signal Sc to input is 60, the field decision means 1 will judge that level is the field B of $XB=52-102$, and will have set up scale-factor $a_2=1.125$ in which the scale-factor setting means 27 carries out multiplication to the multiplication machine 22 based on this decision signal field B. The multiplication machine 22 carried out the multiplication of the scale-factor $a_2=1.125$ which said scale-factor setting means 27 sets as the level $X=60$ of said digital video signal Sc to input, and, as a result, has inputted $S22=67$ into the adding machine 14. On the other hand, the boundary value setting means 15 carried out the selection output of the register 15b which memorizes $b_2=31$ with the field B signal of the decision result of said field decision means 1, and has inputted it into the adding machine 14. An adding machine 14 adds $b_2=31$ of the $S22=67$ and the boundary value setting means 15 from said multiplication machine 22, and is outputting $Y_2=a_1 \times XB+b_2=67+31=98$.

[0018]

[Effect of the Invention] As explained above, according to the gamma correction circuit by this invention, it constitutes from a shift register, a gate circuit, a register, an adding machine, etc. Divide a gamma property

into two or more fields, and it judges whether said digital video signal to input is included to which field of two or more of said fields. The value (aX) which carried out the multiplication of the inclination (a) of the straight line ($Y=aX+b$) corresponding to the field to said digital video signal (X) to input is computed. Initial value (b) is added as boundary value, it is outputting as a signal (Y) which carried out the gamma correction, and ROM cannot be used, but the gamma correction by straight-line approximation can be carried out to the result, and high integration of gate-array-izing etc. can provide it with an easy gamma correction circuit.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the important section block diagram showing one example of the gamma correction circuit by this invention.

[Drawing 2] It is the important section block diagram showing another example of the gamma correction circuit by this invention.

[Drawing 3] It is the important section block diagram showing another example of the gamma correction circuit by this invention.

[Drawing 4] It is the important section block diagram showing another example of the gamma correction circuit by this invention.

[Drawing 5] It is drawing which carried out straight-line approximation of the gamma characteristic curve by the gamma correction circuit of this invention.

[Drawing 6] It is drawing having shown the condition of a shift register with the binary number of 8 bits.

[Drawing 7] It is the important section block diagram showing the conventional gamma correction circuit.

[Description of Notations]

1 Field Decision Means

2 Shift Register

3 First Adding Machine

4 Second Adding Machine

5 Register

6 Selector

12 Adjustable Shift Register

13 First Adding Machine

14 Second Adding Machine

15 Boundary Value Setting Means

16 Selector

17 Shift-Amount Setting Means

22 Multiplication Machine

27 Scale-Factor Setting Means

[Translation done.]

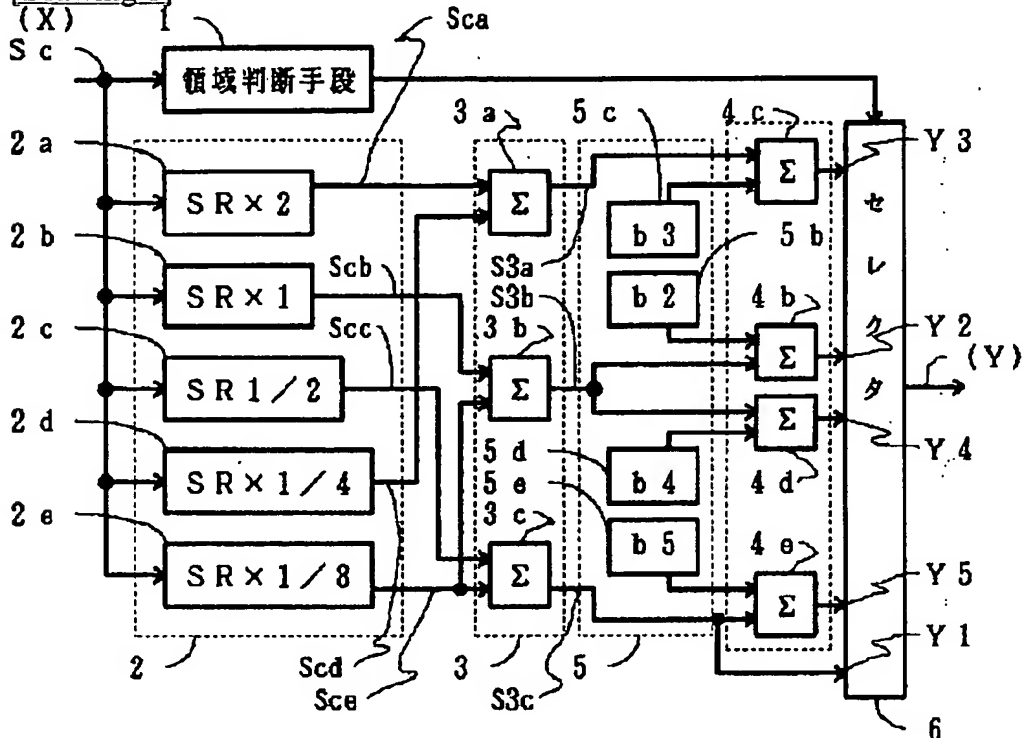
* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

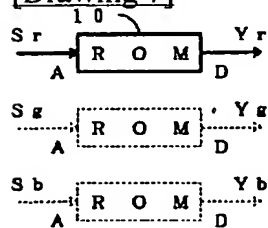
[Drawing 1]



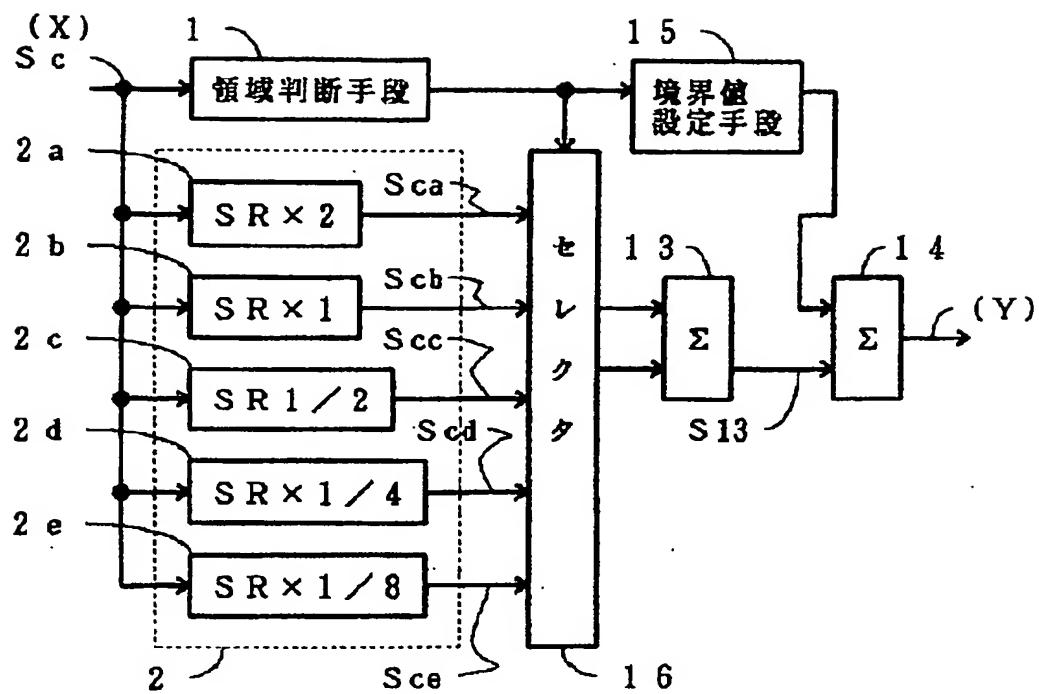
[Drawing 6]

	1	2	3	4	5	6	7	8 (ビット)	
Sca	0	1	1	1	1	0	0	0	120
Scb	0	0	1	1	1	1	0	0	60 - Sc
Sc c	0	0	0	1	1	1	1	0	30
Sc d	0	0	0	0	1	1	1	1	15
Sc e	0	0	0	0	0	1	1	1	7

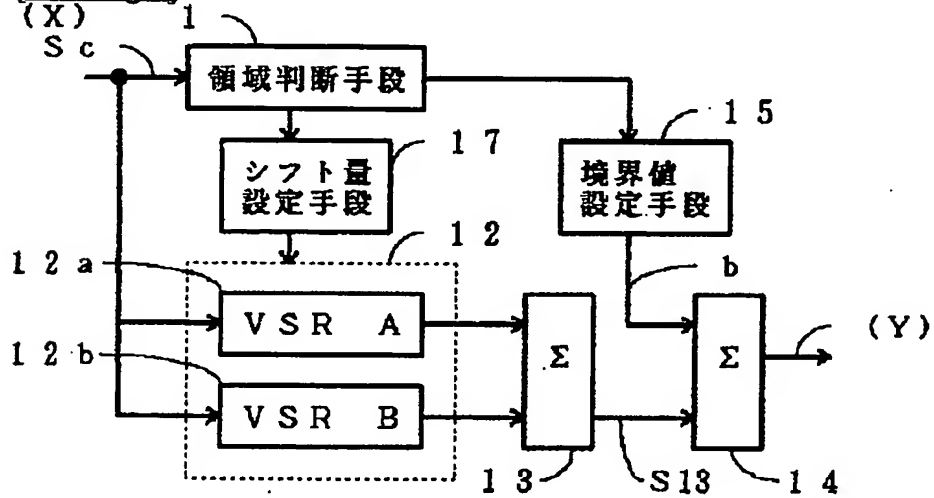
[Drawing 7]



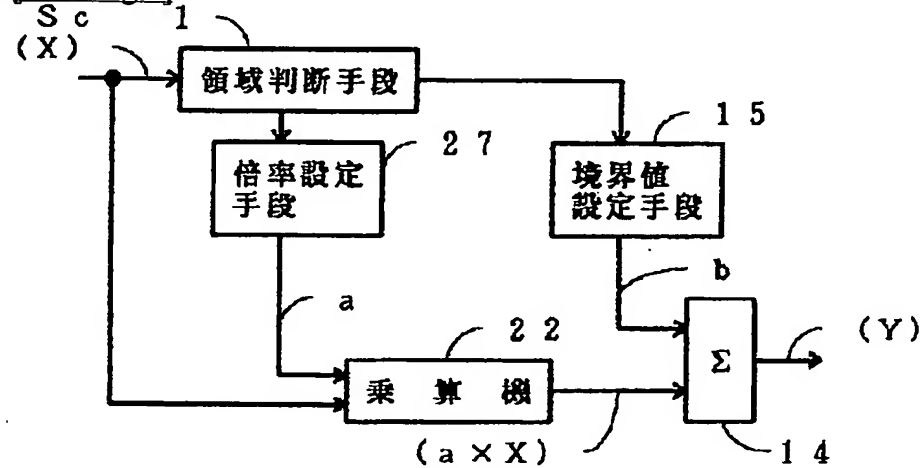
[Drawing 2]



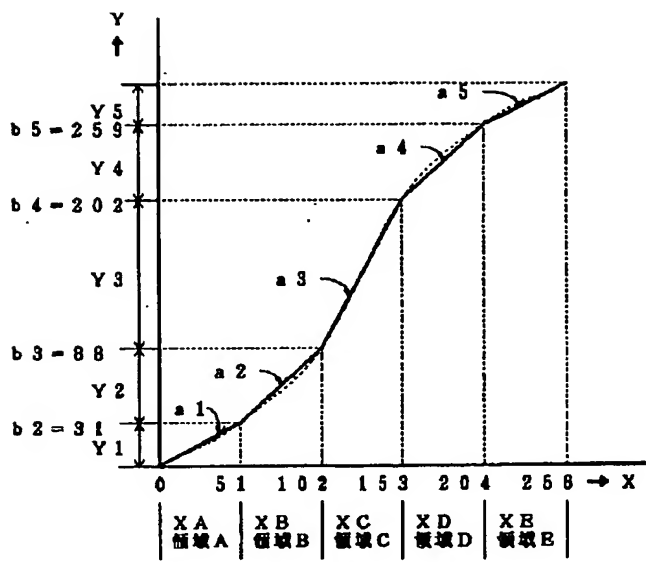
[Drawing 3]



[Drawing 4]



[Drawing 5]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-32837

(43) 公開日 平成8年(1996)2月2日

(51) Int.Cl.⁸

H 0 4 N 5/202
9/69

識別記号

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平6-168311

(22) 出願日 平成6年(1994)7月20日

(71) 出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72) 発明者 仲埜 隆

川崎市高津区末長1116番地 株式会社富士
通ゼネラル内

(72) 発明者 橋口 耕太

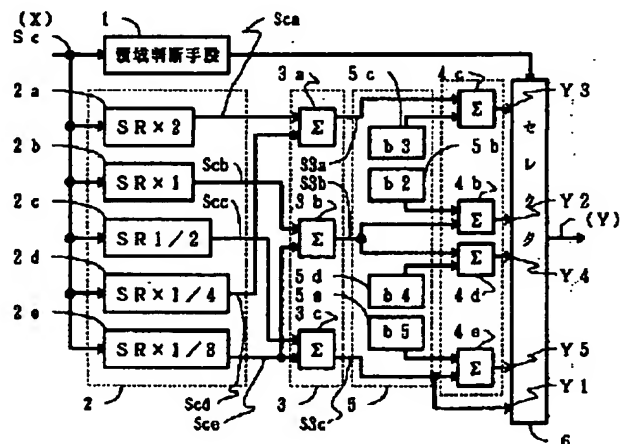
川崎市高津区末長1116番地 株式会社富士
通ゼネラル内

(54) 【発明の名称】 ガンマ補正回路

(57) 【要約】

【目的】 本発明は以上述べた問題点を解決し、ROMを使用せず、直線近似によるガンマ補正を行うガンマ補正回路を提供することを目的としている。

【構成】 ガンマ特性を複数の領域に分割し、各領域を直線で近似して入力データのガンマ補正を行うガンマ補正回路において、入力するデジタル映像信号をシフトする複数のシフトレジスタ2と、前記所定のシフトレジスタの出力を加算する複数の第一の加算機3と、前記複数の領域の境界値を記憶する複数のレジスタ5と、該所定のレジスタと前記第一の加算機の出力を加算する複数の第二の加算機4と、前記デジタル映像信号が前記複数の領域のいずれの領域に含まれるかを判断するゲート回路を組み合わせたデコード回路で構成している判断手段1と、前記判断手段の判断結果に基づいて前記第一の加算機及び第二の加算機の出力信号を選択して切り換えるセレクタ6とで構成している。



(2)

1

【特許請求の範囲】

【請求項 1】 ガンマ特性を複数の領域に分割し、各領域を直線で近似して入力データのガンマ補正を行うガンマ補正回路において、入力するデジタル映像信号をシフトする複数のシフトレジスタと、前記所定のシフトレジスタの出力を加算する複数の第一の加算機と、前記複数の領域の境界値を記憶する複数のレジスタと、該所定のレジスタと前記第一の加算機の出力を加算する複数の第二の加算機と、前記デジタル映像信号が前記複数の領域のいずれの領域に含まれるかを判断する判断手段と、前記判断手段の判断結果に基づいて前記第一の加算機及び第二の加算機の出力信号を選択して切り換えるセクタとで構成していることを特徴とするガンマ補正回路。

【請求項 2】 ガンマ特性を複数の領域に分割し、各領域を直線で近似して入力データのガンマ補正を行うガンマ補正回路において、入力するデジタル映像信号をシフトする複数のシフトレジスタと、前記デジタル映像信号が前記複数の領域のいずれの領域に含まれるかを判断する判断手段と、前記判断手段の判断結果に基づいて前記複数のシフトレジスタの出力を少なくとも 1 つ選択出力するセクタ部と、前記判断手段の判断結果に基づいて前記複数の領域の境界値を設定する境界値設定手段と、前記セクタよりの出力信号と境界値設定手段よりの境界値を加算する加算機とで構成していることを特徴とするガンマ補正回路。

【請求項 3】 ガンマ特性を複数の領域に分割し、各領域を直線で近似して入力データのガンマ補正を行うガンマ補正回路において、入力するデジタル映像信号をシフトする複数のシフト量可変シフトレジスタと、前記デジタル映像信号が前記複数の領域のいずれの領域に含まれるかを判断する判断手段と、前記判断手段の判断結果に基づいて前記複数のシフト量可変シフトレジスタのシフト量を設定するシフト量設定手段と、前記複数のシフト量可変シフトレジスタよりの信号を加算する第一の加算機と、前記判断手段の判断結果に基づいて前記複数の領域の境界値を設定する境界値設定手段と、前記第一の加算機よりの出力信号と境界値設定手段よりの境界値を加算する第二の加算機とで構成していることを特徴とするガンマ補正回路。

【請求項 4】 ガンマ特性を複数の領域に分割し、各領域を直線で近似して入力データのガンマ補正を行うガンマ補正回路において、入力するデジタル映像信号に所定の倍率を乗算する乗算機と、前記デジタル映像信号が前記複数の領域のいずれの領域に含まれるかを判断する判断手段と、前記判断手段の判断結果に基づいて前記乗算機の乗算する所定の倍率を設定する倍率設定手段と、前記判断手段の判断結果に基づいて前記複数の領域の境界値を設定する境界値設定手段と、前記乗算機よりの出力信号と境界値設定手段よりの境界値を加算する加算機とで構成していることを特徴とするガンマ補正回路。

2

【請求項 5】 前記領域判断手段は、ゲート回路を組み合わせたデコード回路で構成していることを特徴とする請求項 1、請求項 2、請求項 3 または請求項 4 記載のガンマ補正回路。

【請求項 6】 前記境界値設定手段は、複数のレジスタで構成していることを特徴とする請求項 2、請求項 3 または請求項 4 記載のガンマ補正回路。

【発明の詳細な説明】

【0001】

10 【産業上の利用分野】本発明は、ガンマ (γ) 補正回路に係わり、特に、直線近似して補正する回路に関する。

【0002】

【従来の技術】従来のガンマ補正回路としては、図 7 に示すように、ROM 10 に所望の直線近似したガンマ特性をテーブルとして書き込んでおき、デジタル映像信号（色信号）をアドレスとして入力し、該アドレスに対応するデータを読み出して出力するようにし、必要に応じ、R、G、B の各信号毎に ROM 10 を設けていた。しかし、ROM 10 に所望の直線近似したガンマ特性を幾つものテーブルとして書き込むには、記憶容量が大きくなり、ROM が高価になるばかりかゲートアレイ等の高集積化が困難であった。

【0003】

【発明が解決しようとする課題】本発明は以上述べた問題点を解決し、ROM を使用せず、直線近似によるガンマ補正を行い、ゲートアレイ化等の高集積化が簡単なガンマ補正回路を提供することを目的としている。

【0004】

30 【課題を解決するための手段】本発明は上述の課題を解決するため、ガンマ特性を複数の領域に分割し、各領域を直線で近似して入力データのガンマ補正を行うガンマ補正回路において、入力するデジタル映像信号をシフトする複数のシフトレジスタと、前記所定のシフトレジスタの出力を加算する複数の第一の加算機と、前記複数の領域の境界値を記憶する複数のレジスタと、該所定のレジスタと前記第一の加算機の出力を加算する複数の第二の加算機と、前記デジタル映像信号が前記複数の領域のいずれの領域に含まれるかを判断するゲート回路を組み合わせたデコード回路で構成している判断手段と、前記判断手段の判断結果に基づいて前記第一の加算機及び第二の加算機の出力信号を選択して切り換えるセクタとで構成している。

40 【0005】また、ガンマ特性を複数の領域に分割し、各領域を直線で近似して入力データのガンマ補正を行うガンマ補正回路において、入力するデジタル映像信号をシフトする複数のシフトレジスタと、前記デジタル映像信号が前記複数の領域のいずれの領域に含まれるかを判断する判断手段と、前記判断手段の判断結果に基づいて前記複数のシフトレジスタの出力を少なくとも 1 つ選択出力するセクタ部と、前記判断手段の判断結果に基づ

60

(3)

3

いて前記複数の領域の境界値を設定する複数のレジスタで構成している境界値設定手段と、前記セクタよりの出力信号と境界値設定手段よりの境界値を加算する加算機とで構成している。

【0006】また、ガンマ特性を複数の領域に分割し、各領域を直線で近似して入力データのガンマ補正を行うガンマ補正回路において、入力するデジタル映像信号をシフトする複数のシフト量可変シフトレジスタと、前記デジタル映像信号が前記複数の領域のいずれの領域に含まれるかを判断する判断手段と、前記判断手段の判断結果に基づいて前記複数のシフト量可変シフトレジスタのシフト量を設定するシフト量設定手段と、前記複数のシフト量可変シフトレジスタよりの信号を加算する第一の加算機と、前記判断手段の判断結果に基づいて前記複数の領域の境界値を設定する境界値設定手段と、前記第一の加算機よりの出力信号と境界値設定手段よりの境界値を加算する第二の加算機とで構成している。

【0007】また、ガンマ特性を複数の領域に分割し、各領域を直線で近似して入力データのガンマ補正を行うガンマ補正回路において、入力するデジタル映像信号に所定の倍率を乗算する乗算機と、前記デジタル映像信号が前記複数の領域のいずれの領域に含まれるかを判断する判断手段と、前記判断手段の判断結果に基づいて前記乗算機の乗算する所定の倍率を設定する倍率設定手段と、前記判断手段の判断結果に基づいて前記複数の領域の境界値を設定する境界値設定手段と、前記乗算機よりの出力信号と境界値設定手段よりの境界値を加算する加算機とで構成している。

【0008】

【作用】以上のように構成したので、本発明のガンマ補正回路においては、ガンマ特性を複数の領域に分割し、前記入力するデジタル映像信号が前記複数の領域のいずれの領域に含まれるかを判断し、その領域に対応する直線 ($Y = aX + b$) の勾配 (a) を前記入力するデジタル映像信号 (X) に乗算した値 (aX) を算出し、その結果に初期値 (b) を境界値として加算し、ガンマ補正した信号 (Y) として出力している。

【0009】

【実施例】以下、図面に基づいて本発明によるガンマ補正回路を詳細に説明する。図1、図2、図3および図4は本発明によるガンマ補正回路の一実施例を示す要部ブロック図である。

【0010】図において、1はゲート回路を組み合わせたデコード回路で構成する領域判断手段で、入力するデジタル映像信号(色信号)ScのレベルがXAのA領域～レベルがXEのE領域の5つの領域のどの領域にあるかを判断している。2は複数の8ビット構成のシフトレジスタ回路で、1ビット上位にシフトして2倍の信号Sc aを出力するシフトレジスタ2 a、シフト0で等倍の信号Sc bを出力するシフトレジスタ2 b、1ビット下

4

位にシフトして1/2倍の信号Sc cを出力するシフトレジスタ2 c、2ビット下位にシフトして1/4倍の信号Sc dを出力するシフトレジスタ2 d、3ビット下位にシフトして1/8倍の信号Sc eを出力するシフトレジスタ2 eとで構成している。3は第一の加算機で、前記シフトレジスタ2 aよりのSc aとシフトレジスタ2 dよりのSc dとを加算する加算機3 a、Sc bとSc eを加算する加算機3 b、Sc cとSc eを加算する加算機3 cで構成している。4は第二の加算機で、前記第一の加算機3 bの出力と、後述のレジスタ5 bの出力を加算する加算機4 b、第一の加算機3 aの出力と、後述のレジスタ5 cの出力を加算する加算機4 c、第一の加算機3 bの出力と、後述のレジスタ5 dの出力を加算する加算機4 d、第一の加算機3 cの出力と、後述のレジスタ5 eの出力を加算する加算機4 eとで構成している。6はセクタで、前記領域判断手段1よりの信号により前記第一の加算機3 cおよび、第二の加算機4 b、加算機4 c、加算機4 d、加算機4 eよりの出力を選択出力している。

【0011】また、図2において、図1と同じ機能のブロックは同一記号としており、16はセクタで、前記領域判断手段1よりの信号に基づいて前記シフトレジスタ2の組み合わせを選択して出力している。13は第一の加算機で、前記セクタ16の選択するシフトレジスタ2の組み合わせ出力を加算している。15は境界値設定手段で、前記領域判断手段1よりの信号により所定の境界値Syを記憶するレジスタを選択して出力している。14は第二の加算機で、前記境界値設定手段15よりの境界値Syに第一の加算機13の出力を加算してガンマ補正出力信号として出力している。

【0012】また、図3において、図1、図2と同じ機能のブロックは同一記号としており、12は8ビット構成のシフト量可変シフトレジスタで、第一のシフト量可変シフトレジスタ12 aと第二のシフト量可変シフトレジスタ12 bとで構成し、前記8ビット構成のデジタル映像信号を所定の量シフトしている。17はシフト量設定手段で、前記領域判断手段1よりの判断信号により前記シフト量可変シフトレジスタ12の各々のシフト量を設定している。

【0013】また、図4において、図1、図2、図3と同じ機能のブロックは同一記号としており、22は乗算機で、前記入力するデジタル映像信号に所定の倍率を乗算している。27は倍率設定手段で、前記領域判断手段1よりの判断信号により前記乗算機22で乗算する所定倍率を設定している。

【0014】以上の構成において、つぎにその動作を説明する。図3はガンマ特性曲線で、256階調の入力映像信号ScをXA=0～51, XB=52～102, XC=103～153, XD=154～204, XE=205～256の5つの領域に分割し、その境界点にお

(4)

5

る出力を境界値0, b2, b3, b4, b5とし原点Oより直線で順次接続した直線近似カーブを得ている。例えば、領域Aにおける直線($Y1 = a1XA$)の勾配a1を0.625, 領域Bにおける直線($Y2 = a2XB + b2$)の勾配a2を1.125, 領域Cにおける直線($Y3 = a3XC + b3$)の勾配a3を2.25, 領域Dにおける直線($Y4 = a4XD + b4$)の勾配a4を1.125, 領域Eにおける直線($Y5 = a5XE + b5$)の勾配a5を0.625とし、この時の境界値を各々、b2=31, b3=88, b4=202, b5=259と仮定する。いま、入力するデジタル映像信号ScのレベルがX=60であったとすると、領域判断手段1は、レベルがXB=52~102の領域Bであると判断し、セクタ6が第二の加算機4bの出力を選択出力している。即ち、シフトレジスタ2bの出力Scb=60にシフトレジスタ2eの出力Sce=7を加算した第一の加算機3bの出力S3b=67にレジスタ5bに記憶するb2=31を第二の加算機4bで加算し、 $Y2 = a2 \times XB + b2 = 1.125 \times 60 + 31 = 67 + 31 = 98$ を出力している。図4は本例におけるシフトレジスタの状態を8ビットの2進数で示した図である。本例のように入力するデジタル映像信号Scのレベルが60(00111100B)を1ビット上位にシフトすると、2倍の120(0111000B)となり、逆に1ビット下位にシフトすると、1/2倍の30(0001110B)になる。本例の場合は、下位に3ビットシフトして7(00000111B)を得ている。

【0015】以上は図1のブロック図の動作を説明したが、つぎに、図2の場合について同じ例で説明する。いま、入力するデジタル映像信号Scのレベルが60であったとすると、領域判断手段1は、レベルがXB=52~102の領域Bであると判断し、セクタ16がシフトレジスタ2dの出力信号Scb=60とシフトレジスタ2eの出力信号Sce=7を選択出力している。第一の加算機13は前記セクタ16が選択出力するScb=60とSce=7とを加算しS13=67を出力し、第二の加算機14に入力している。一方、境界値設定手段15は前記領域判断手段1の判断結果の領域B信号によりb2=31を記憶するレジスタ15bを選択出力し、第二の加算機14に入力している。第二の加算機14は前記第一の加算機よりのS13=67と境界値設定手段15よりのb2=31を加算し、 $Y2 = 67 + 31 = 98$ を出力している。

【0016】つぎに、図3の場合について同じ例で説明する。いま、入力するデジタル映像信号Scのレベルが60であったとすると、領域判断手段1は、レベルが(52~102)の領域Bであると判断し、該判断信号領域Bに基づいて、シフト量設定手段17がシフト量可変シフトレジスタ12aのシフト量を0, シフト量可変シフトレジスタ12bのシフト量を3に設定している。

6

従って、シフト量0のシフト量可変シフトレジスタ12aからは出力信号Sc12a=60を、シフト量3のシフト量可変シフトレジスタ12bからは出力信号Sc12b=7を出力している。第一の加算機13は前記シフト量可変シフトレジスタ12aから入力する出力信号Sc12a=60とシフト量可変シフトレジスタ12bから入力する出力信号Sc12b=7を加算し、S13=67を第二の加算機14に入力している。一方、境界値設定手段15は前記領域判断手段1の判断結果の領域B信号によりb2=31を記憶するレジスタ15bを選択出力し、第二の加算機14に入力している。第二の加算機14は前記第一の加算機よりのS13=67と境界値設定手段15よりのb2=31を加算し、 $Y2 = 67 + 31 = 98$ を出力している。

【0017】つぎに、図4の場合について同じ例で説明する。いま、入力するデジタル映像信号Scのレベルが60であったとすると、領域判断手段1は、レベルがXB=52~102の領域Bであると判断し、該判断信号領域Bに基づいて、倍率設定手段27が乗算機22に乗算する倍率a2=1.125を設定している。乗算機22は、前記入力するデジタル映像信号ScのレベルX=60に、前記倍率設定手段27の設定する倍率a2=1.125を乗算し、その結果S22=67を加算機14に入力している。一方、境界値設定手段15は前記領域判断手段1の判断結果の領域B信号によりb2=31を記憶するレジスタ15bを選択出力し、加算機14に入力している。加算機14は前記乗算機22よりのS22=67と境界値設定手段15よりのb2=31を加算し、 $Y2 = a1XB + b2 = 67 + 31 = 98$ を出力している。

【0018】

【発明の効果】以上説明したように、本発明によるガンマ補正回路によれば、シフトレジスタ、ゲート回路、レジスタ、加算機等で構成し、ガンマ特性を複数の領域に分割し、前記入力するデジタル映像信号が前記複数の領域のいずれの領域に含まれるかを判断し、その領域に対応する直線($Y = aX + b$)の勾配(a)を前記入力するデジタル映像信号(X)に乗算した値(aX)を算出し、その結果に初期値(b)を境界値として加算し、ガンマ補正した信号(Y)として出力しており、ROMを使用せず、直線近似によるガンマ補正を行いゲートアレイ化等の高集積化が簡単なガンマ補正回路を提供することができる。

【図面の簡単な説明】

【図1】本発明によるガンマ補正回路の一実施例を示す要部ブロック図である。

【図2】本発明によるガンマ補正回路の別の実施例を示す要部ブロック図である。

【図3】本発明によるガンマ補正回路の別の実施例を示す要部ブロック図である。

(5)

7

【図４】本発明によるガンマ補正回路の別の実施例を示す要部ブロック図である。

【図5】本発明のガンマ補正回路によるガンマ特性曲線を直線近似した図である。

【図6】シフトレジスタの状態を8ビットの2進数で示した図である。

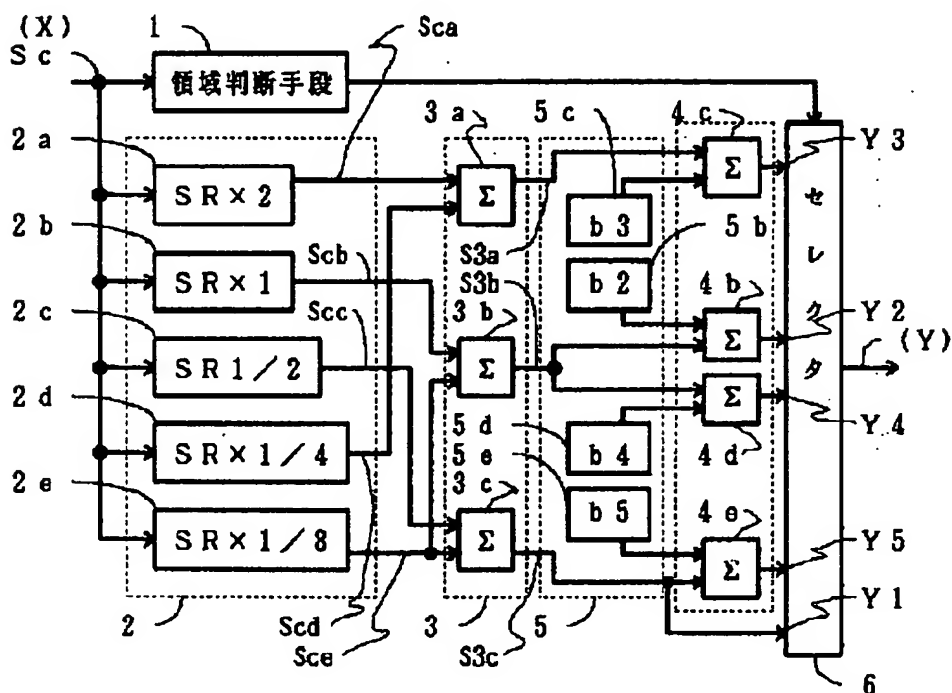
【図7】従来のガンマ補正回路を示す要部ブロック図である。

【符号の説明】

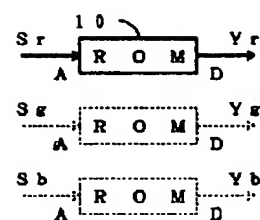
- 1 領域判断手段
- 2 シフトレジスタ
- 3 第一の加算機

- 4 第二の加算機
5 レジスタ
6 セレクタ
1 2 可変シフトレジスタ
1 3 第一の加算機
1 4 第二の加算機
1 5 境界値設定手段
1 6 セレクタ
1 7 シフト量設定手段
2 2 乗算機
2 7 倍率設定手段

【图 1】



【図 7】

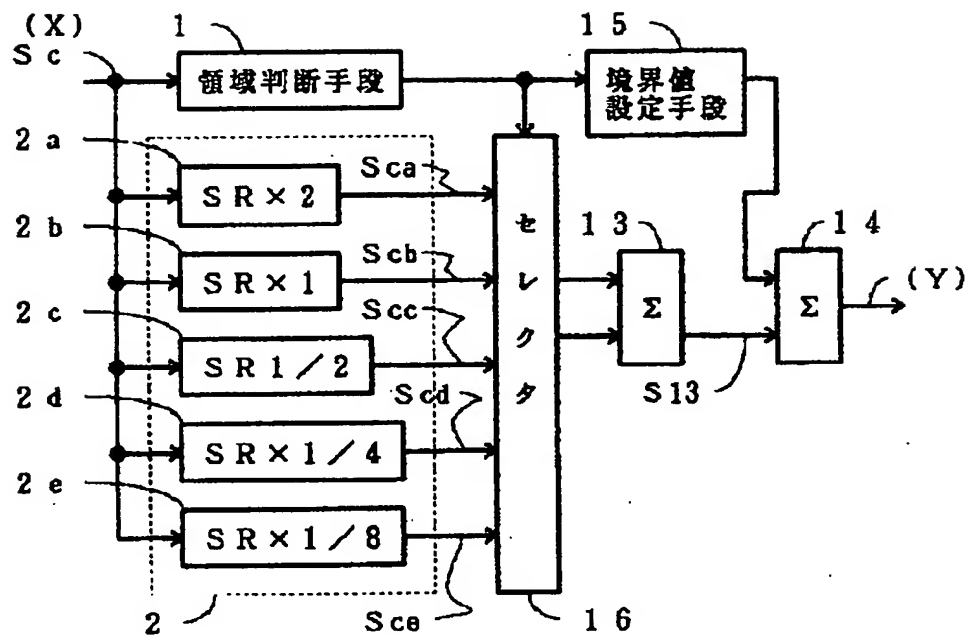


【图 6】

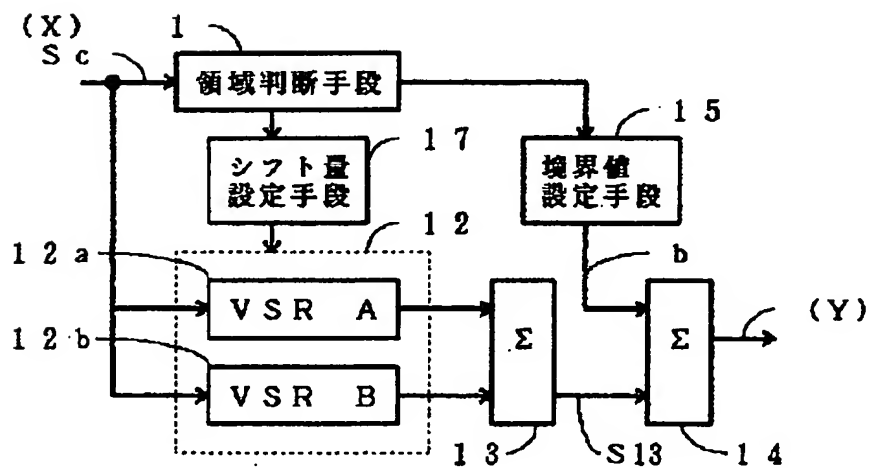
	1	2	3	4	5	6	7	8 (ビット)	
Sca	0	1	1	1	1	0	0	0	120
Scb	0	0	1	1	1	1	0	0	60-Sc
Sc c	0	0	0	1	1	1	1	0	30
Sc d	0	0	0	0	1	1	1	1	15
Sc e	0	0	0	0	0	1	1	1	7

(6)

【図2】

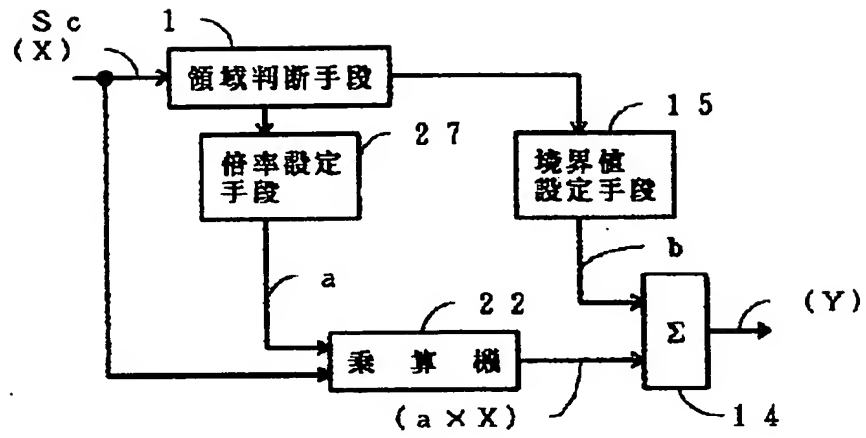


【図3】



(7)

【図4】



【図5】

